

文章编号:1007-2780(2015)02-0333-07

基于 CPCI 总线的 FPGA+DSP 架构 通用视频图像处理系统的设计

于洪松^{1,2}, 韩广良^{1*}, 孙海江¹, 李桂菊¹, 武治国¹, 李赓飞^{1,2}

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033;

2. 中国科学院大学, 北京 100049)

摘要:为了应对实时视频图像处理复杂的现场环境条件,设计了一种通用视频图像处理系统。该系统便于扩展,可同时应用于多种不同现场环境。FPGA+DSP 架构由于同时吸取了具有优秀运算性能的 DSP 芯片以及具有高实时性的 FPGA 芯片的优点而在实时图像处理领域中得到了广泛的应用,而 Compact-PCI 总线由于其与工业控制计算机有标准的接口而具有良好的可扩展性,通过对二者的有机结合设计了基于 Compact-PCI 总线的 FPGA+DSP 架构的通用视频图像处理系统。硬件实验表明,系统可对 $320 \times 256 \sim 1024 \times 1024$ 分辨率, 8~14 bits, 最高帧频 100 Hz 的视频图像进行实时采集与处理,并通过 cPCI 总线实现实时控制,取得了良好的效果,表明系统可以应用于红外及可见等复杂环境中,实时性很高,处理效果好,提高了系统的应用范围。为视频信号采集处理提供了一种新的可靠解决方案。

关键词: 视频图像处理; 实时; FPGA; DSP; Compact-PCI 总线

中图分类号: TN141 **文献标识码:** A **doi:** 10.3788/YJYXS20153002.0333

Design of general-purpose video image process system based on Compact-PCI bus and FPGA+DSP structure

YU Hong-song^{1,2}, HAN Guang-liang^{1*}, SUN Hai-jiang¹,LI Gui-ju¹, WU Zhi-guo¹, LI Geng-fei^{1,2}(1. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences,
Changchun 130033, China;

2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: In order to deal with the complicated field environmental conditions that real-time video image process systems have to confront, a general-purpose real-time video image process system is designed, which is extendable and can be applied to multiple field environmental conditions simultaneously. Image process systems based on FPGA+DSP architecture are widely used in the field of image process, because the DSP processor is of high calculating performance and the FPGA is of high real-time performance, while the Compact-PCI bus is extendable because its interface with the computer is already standardized. Combining both advantages, a new general-purpose video image process system

收稿日期:2014-05-05; 修订日期:2014-06-11.

基金项目:国家自然科学基金(No. 61172111)

* 通信联系人, E-mail: hangl@ciomp.ac.cn

is designed based on Compact-PCI bus and FPGA + DSP architecture. Hardware experiments show that, this system can be equal to capturing and processing video images of $320 \times 256 \sim 1\,024 \times 1\,024$ pixels, 8~14 bits and maximum frequency of 100 Hz real-timely. Besides, it can also realize real-time control by means of the Compact-PCI bus, of which the result is pretty good. It indicates that this system is capable of dealing with complicated environment, such as infrared and visible scenes. It is real-time and effective. It provides a new possible solution to video image capture and process.

Key words: video image process; real-time; FPGA; DSP; Compact-PCI bus

1 引 言

高速视频图像处理具有数据量大和实时性高的特点。由于高速视频应用现场监测的环境条件复杂多变,因此经常需要进行系统的软硬件升级,这导致了高速视频图像处理系统具有复杂性高、设计难度大、设计周期长等特点^[1-2]。可编程通用系统的优点在于不需要对硬件进行频繁改动,只需要对配置文件进行重新烧写、对上位机进行升级及少量的改动,而这些工作是可以不影响现场使用的条件下就进行的,因此可以大大降低系统设计时间及成本^[3]。

FPGA+DSP 架构在图像处理系统中得到了广泛的应用,FPGA 的并行处理及可编程的特性使得硬件能获得很高的实时性,而 DSP 高效的乘法结构及超高的运算性能又特别适合进行图像处理的算法实现,这使得这种架构尤其适用于实时图像处理^[4-9]。

Compact-PCI 总线(以下简称 CPCI 总线)是一种成熟的计算机总线,其支持热插拔及完善的标准定义使得 CPCI 架构具有很高的可靠性,再加上其兼容性高、集成度高且便于扩展,使得 CPCI 架构很适合高速视频信号处理系统的控制相关处理^[2,10]。

本文介绍了基于 CPCI 总线的 FPGA+ DSP 架构的通用高速视频信号处理系统的设计及应用。文中采用 Xilinx 公司专门用于高性能逻辑设计的 Virtex-IV 系列 FPGA XC5VLX50T、TI 公司高性能定点数字信号处理器 TMS320C6455 及 PLX 公司的总线控制器芯片 PCI9656 设计了基于 CPCI 总线的 FPGA+DSP 架构的通用视频图像处理系统。实验表明,本文设计的系统具有实时性高、稳定性高、集成度高、扩展性好等特点。

2 通用视频图像处理系统主要模块的设计

2.1 视频图像处理系统概况

图 1 为通用视频图像处理系统的原理框图。系统包含两个几乎完全相同的部分。每一部分都有图像采集、数据处理、视频显示及 PCI 控制等模块,同时配备了丰富的扩展接口,包括串口、千兆以太网接口、扩展 GPIO 接口等。DSP 之间通过 McBSP 相连接进行通信,FPGA 之间通过 LVDS 相连接进行通信。

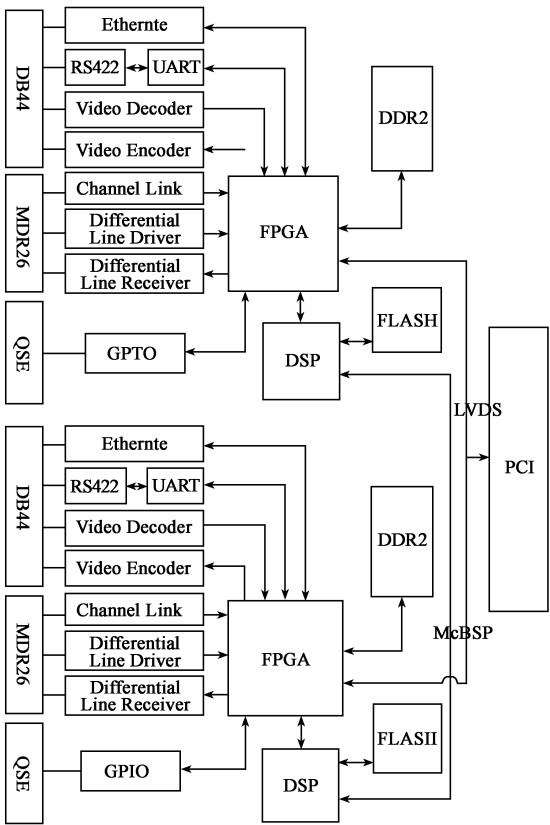


图 1 通用视频图像处理系统的硬件框图
Fig. 1 Block diagram of general-purpose video image process system

DSP 挂接 4 MB 的 Flash-ROM,可扩展为 8 MB,用于存储程序代码。FPGA 采用 PROM 方式进行加载,断电重启后程序不会丢失,并配有状态指示灯便于观察 PROM 加载及 FPGA 的工作状态。

FPGA 采用 Camera Link 的 Base 模式与相机连接,用于采集数字图像;FPGA 挂接一片 ADV7188 视频解码芯片,可采集模拟图像,数字化后输出给 FPGA 进行处理。FPGA 挂接一片 1 GByte 的 DDR2 SODIMM 内存条,时钟速度可达 200 MHz,访问宽度 64 bit,用于存储图像数据。FPGA 挂接一片 ADV7176 视频编码器,用于输出模拟复合视频信号到监视器。FPGA 挂接两路 UART,一路用于 RS422 串口,另一路用于 Camera Link 的命令串口,用于与相机通信,进行相机工作模式的配置及基本控制信号的收发。FPGA 挂接一个千兆以太网接口,用于与上位机通讯。QSE 接口用于与视频显示增强板进行高速连接。

2.2 主要器件的选型

考虑到系统的通用性,首先确定负责主要算法的 DSP 器件的选择,之后根据 DSP 选择协处理器 FPGA,最后选择存储器件。

实时视频处理要求 DSP 器件必须具有主频高、内部存取速率高、外部接口速率高等特点,为此选用美国 Texas Instruments 公司出品的 TMS320C6455(以下简称 6455)。6455 为高性能定点处理器,最高工作主频高达 1.2 GHz。片内高速存储空间采用改进的哈佛结构,分为两级 Cache。具有多达 64 个独立通道的 EDMA 数据传输控制器。与片外的接口包括高速 64 bits 宽度的 EMIFA 及 32 bits 宽度的 DDR2 扩展存储器接口,最高吞吐能达到 1 064 MB/s。同时还提供两路高速的缓冲串口 McBSP,以供通信使用^[11]。

协处理器 FPGA 负责原始数据流的控制、转换及接口的适配,由于实时视频处理具有数据量大、数据速率高、运算速度快的特点,因此 FPGA 应具有时钟模块便于管理、存储器容量大、接口速率高及具有足够的硬件加速器等特点。为此采用美国 Xilinx 公司专用于高性能逻辑应用的 Virtex-5 系列 FPGA LX50T。Virtex-5 系列 FPGA 具有灵活的时钟管理器,内嵌 6 个时钟模块。内部具有高达 16.4 Mbits 的增强型存储器 Block

RAM,并具有内置 FIFO 控制逻辑。最新的 ChipSync 技术简化了针对高带宽存储器和其它源同步接口板的设计。内置的时钟主频高达 550 MHz 的 DSP48E slice 具有能够提高 DSP 性能的乘累加器结构,加强了硬件加速的技术^[12]。

由于 6455 具有预置的 DDR2 存储器接口,而 Xilinx 公司对于 Virtex-5 系列 FPGA 也提供了针对 DDR2 的参考设计,又兼高速视频处理所需的存储空间很大,故选用 micron 公司-MT8HTF12864HZ -667H1 型号的 DDR2 SDRAM 作为本系统的存储器。MT8HTF12864HZ-667H1 总容量高达 1 024 Mbytes,位宽 64 bit,数据带宽可达 5.3 GB/s^[13]。

2.3 图像采集模块的设计

为了增加本处理系统的通用性,支持模拟输入图像和数字输入图像两种采集方式。

针对数字输入的图像,采用 Camera Link 进行图像的采集。Camera Link 总线标准专门为数字相机制定,针对相机图像数据及相机控制信号的定义、相机的工作模式、数据位的分配及连接件标准做了详细的规定,由于其具有更少的连接线、更高的传输速率以及更小的电磁干扰的特性而成为市面上主流的相机接口。

图 2 为本系统针对数字输入图像的采集模块的硬件框图。

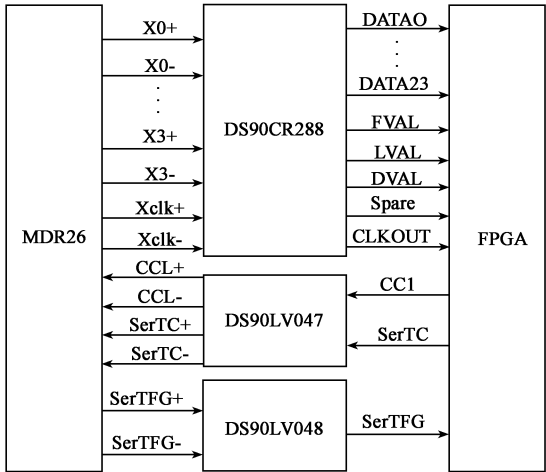


图 2 数字输入图像采集模块的硬件连接

Fig. 2 Hardware interconnection of image acquisition module for digital input

本设计采用 Camera Link 的 base 模式,采集命令到达后,状态机启动,数字相机输出的 LVDS

差分数据经过处理芯片转换成 28 位并行数据,其中包括 24 位视频数据,帧同步信号、行同步信号、数据同步信号以及一个备用信号^[14]。

针对模拟输入的图像,采用 ADI 公司的 ADV7188 视频解码芯片进行图像采集。

ADV7188 具有 12 路模拟输入通道,4 路内部集成 54 MHz、12-bit ADCs,支持包括 NTSC、PAL 及 SECAM 等多种常用色彩制式,支持 I2C 协议对芯片进行配置,具有色度瞬态增强及数字噪声衰减特性^[15]。

图 3 为本系统针对模拟输入图像的采集模块的硬件连接框图。

在摄像头采集到视频后,在 FPGA 中设置芯片的寄存器,在 DSP 中通过 I2C 协议对芯片进行配置,对模拟输入图像进行 A/D 转换。采用外部 27 MHz 晶振作为工作时钟。

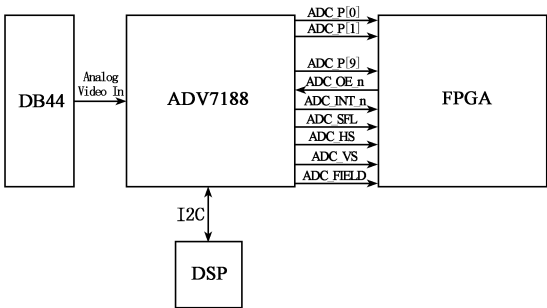


图 3 模拟输入图像采集模块的硬件连接

Fig. 3 Hardware interconnection of image acquisition module for analog input

2.4 数据处理模块的设计

数据处理模块主要涉及算法实现及数据存取的相关操作。

算法实现的核心器件为 FPGA 及 DSP。DSP 通过 AWE# 和 AOE# 控制读写使能,通过 EMIF 方式将 20 位地址线和 32 位数据线连接到 FPGA 上进行数据交换及相应的算法处理。DSP 是系统的核心处理器,负责算法的调度,接收来自 FPGA 的数据后进行相应算法的实现,得到的结果发送给上位机以供监测或者存入 DDR2 中进行存储。FPGA 作为协处理器,负责数据流的控制,同时完成对视频编解码器等设备的复位及寄存器的配置;对采集到的原始图像进行字节截断及一些时序控制操作,以配合 DSP 的运算及控制操作。

数据存取涉及到 FPGA 与 DSP 对 DDR2 的

操作。FPGA 由于可以建立具有高速缓存的 DPRAM 而能够完成对 DDR2 的直接操作。FPGA 对 DDR2 SDRAM 操作的程序采用 Xilinx 公司的针对 DDR2 SDRAM 的 IP 核 MIG (Memory Interface Generator) 进行配置并自动生成^[16]。

视频数据通过 FPGA 入口处的 DPRAM 缓冲进入 FPGA 后,在 FPGA 中进行原始视频数据到字节数据的转换,写入 FPGA 出口处的 DPRAM 中。当检测到写入一行图像后,启动写 DDR2 操作,将该行图像数据存入 DDR2,写满一帧数据后,地址自动指向下一帧数据存储空间的首地址。

DSP 与 CPCI 通过 FPGA 以总线占用的方式对 DDR2 进行间接操作,以中断的方式相互通信。DSP 操作 DDR2 的流程图如图 4 所示。

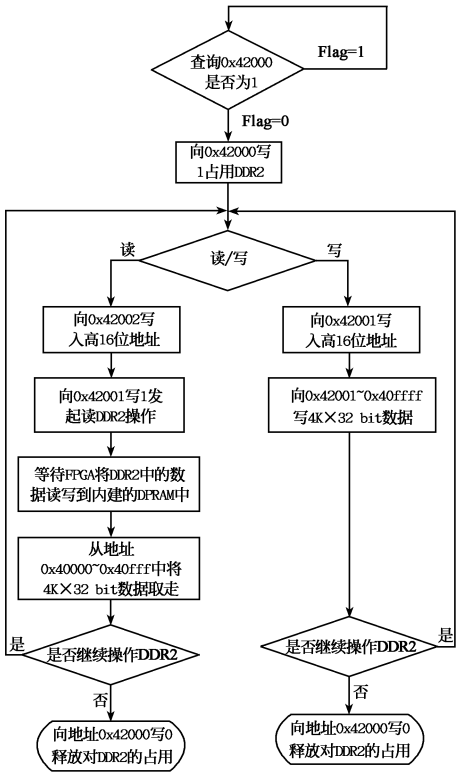


图 4 DSP 操作 DDR2 的流程图

Fig. 4 Flowchart of DSP accessing DDR2

具体操作步骤如下:

- (1)查询 DDR2 被占用的标识地址 0x42000 寄存器是否为 1;
- (2)若为 1,则 DDR2 正在被占用,跳回步骤 (1)继续查询;若为 0,则主动占用,执行步骤 (3)进行主动占用;

(3)向标识地址寄存器 0x42000 写 1 完成对 DDR2 的占用;

(4)完成对 DDR2 的占用后,若需对 DDR2 进行读操作,则转向步骤(5)初始化读操作;若需对 DDR2 进行写操作,则转向步骤 9)初始化写操作;

- (5)向地址 0x42002 写入高 16 位地址;
- (6)向地址 0x41001 写 1 发起读 DDR2 命令;
- (7)从地址 0x40000 ~ 0x40fff 取数;
- (8)若需要继续操作 DDR2,转向步骤(4)进行对 DDR2 操作的流程判断;若操作已完成,则向 0x42000 地址写 0 释放对 DDR2 的占用;
- (9)向地址 0x42001 写入高 16 位地址;
- (10)向地址 0x40000 ~ 0x40fff 写入 4K×32 bit 的数据;

(11)若需继续操作 DDR2,则转向步骤(4)进行对 DDR2 操作的流程判断;若是操作已完成,则向 0x42000 地址写 0 释放对 DDR2 的占用。

2.5 视频显示模块的设计

在对视频数据进行处理后,需要对视频数据进行准确的回放显示。

采用 ADI 公司具有高性能视频编码功能的 ADV7176 芯片,在 FPGA 中设置芯片的寄存器,在 DSP 中通过 I2C 总线协议对芯片进行配置,将数字信号转换成 PAL 制式电视信号,通过常用的模拟视频监视器即可对输出信号进行监测。

ADV7176 具有 4 路 10 bits 的高性能模拟输出通道,支持 ITU-R BT601/656 YCrCb 到 PAL/NTSC 等多种制式,高达 80dB 的视频信噪比也使得视频的编码能够应对各种复杂现场的需求^[17]。

2.6 PCI 控制模块的设计

传统的基于 FPGA+DSP 架构的视频图像处理系统与上位机的人机交互一般通过通信口实现,难以做到对系统的灵活控制。本系统上位机通过 CPCI 总线控制视频处理单元,因此可以进行一些对图像算法的复杂控制及对整个系统的调控,增强了视频图像处理系统的通用性。以红外可见双通道的目标跟踪系统为例,上位机程序可以选择脱靶量来源、跟踪通道、跟踪方式、边沿选取模式、阈值的人工调整及跟踪目标的数量等。

针对 PCI 接口的设计一般有两种方案,一种是在 FPGA 内部直接进行逻辑设计,但是这种方

案需要耗费资源很多,而且调试周期长,难度大;另一种方案是采用总线控制芯片来简化设计,为此选用 PLX 公司生产的为高速 PCI 总线应用设计的通用 I/O 芯片 PCI9656。

PCI9656 具有面向三种处理器局部总线类型的连接模式:M 模式——适配 Motorola MPC850、MPC860 以及 IBM PowerPC 801 系列的处理器;C 模式——适配 Intel i960、DSPs、定制的 ASICs、FPGAs 以及其他处理器;J 模式——适配 Intel i960、IBM PowerPC 401、DSPs 以及一些其他处理器。基于通用性的考虑,设计中采用了适配大多数处理器的 C 模式。

PCI9656 具有 3 种数据传输模式:直接主控模式、直接从动模式以及 DMA 模式。本系统中,大数据量连续传输采用 DMA 模式,其他参数的传输采用直接主控模式以及从动模式^[18]。

PCI9656 的配置需要 3 部分:首先由与 PCI9656 对应的 EEPROM 芯片对其初始化参数进行设置,其次在 FPGA 程序中对 PCI9656 进行初始化配置,最后在上位机进行其他的设置。图 5 为 PCI9656 芯片与 FPGA 的连线图。PCI9656 芯片的驱动程序可以从 PLX 公司提供的配套开发包中获取,开发包中还提供了与上位机进行通信的动态链接库文件,内有丰富的函数可供调用,通过 VC++ 环境即可编写出相应的上位机控制界面。限于篇幅,在此不再具体介绍上位机程序的工作流程。

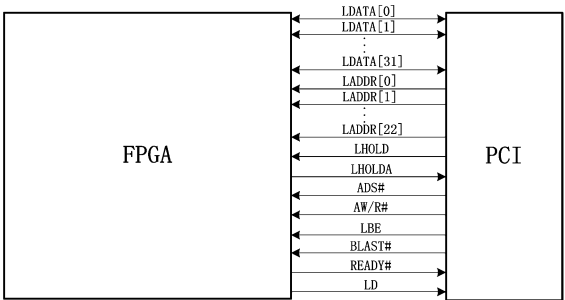


图 5 PCI9656 芯片与 FPGA 的硬件连接

Fig. 5 Hardware interconnection between PCI9656 and FPGA

3 系统测试

为验证本系统的有效性,搭建实物平台,进行实验验证。平台实物图如图 6 所示。

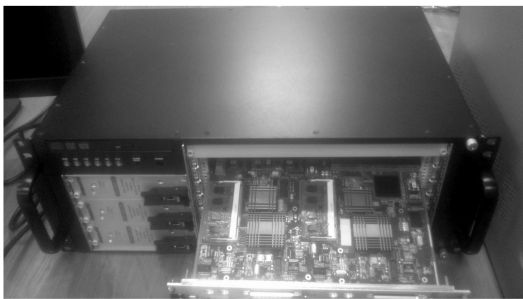


图 6 实验平台

Fig. 6 Platform of experiment

分别采用 4 种工程常用的相机进行本系统的实时性验证实验,两台红外相机的分辨率分别为 320×256 及 640×512 ,像素位宽均为 14 bits,两台可见相机的分辨率均为 $1\,024\times 1\,024$,像素位宽分别为 8 bits 及 12 bits。分别采用相同的目标跟踪算法,在 DSP 内编写了上位机控制程序进行软硬件实验。

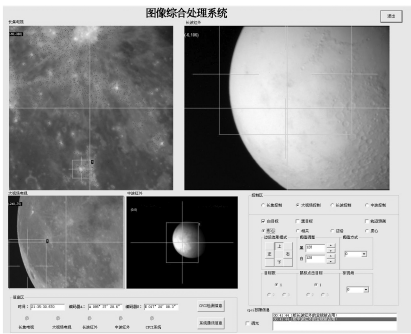


图 7 本系统的目标跟踪效果图

Fig. 7 Result of the system aiming at target tracking

实验以月球上亮度高的区域为跟踪目标,采用图像预处理、直方图自适应阈值及重心跟踪方式,进行全视场多目标捕获。上位机通过 cPCI 总线控制选择跟踪目标,锁定目标后跟踪稳定,实现了实时跟踪,效果良好。跟踪的效果图如图 7 所示。

表 1 列出分别采用 4 种相机实现全视场捕获所用的时间及相关的相机信息。

表 1 针对不同相机的实验结果

Fig. 1 Results of the system at different cameras

相机类型	分辨率	像素	相机	处理
		位宽/bits	帧频/Hz	时间/ms
红外	320×256	14	200	1.8
红外	640×512	14	100	4.1
可见	$1\,024\times 1\,024$	8	50	10.5
可见	$1\,024\times 1\,024$	12	30	16.1

4 结 论

设计并实现了基于 CPCI 总线的 FPGA + DSP 架构通用视频图像处理系统,通过 PCI 总线与传统 FPGA + DSP 架构的结合,扩展了图像处理系统的应用范围。实验表明,本文设计的视频图像处理系统在实际应用中具有实时性高、集成度高、交互性好、扩展性好等特点,已被应用于某目标跟踪系统中,满足了实际应用的需求。

参 考 文 献:

[1] 樊博,王延杰,孙宏海,等. FPGA 实现高速实时多端口图像处理系统的研究[J]. 液晶与显示, 2013, 28(4): 620-625.
Fan B, Wang Y J, Sun H H, *et al.* High speed real-time multiport image processing system realized on FPGA [J]. *Chinese Journal of Liquid Crystals and Display*, 2013, 28(4): 620-625. (in Chinese)

[2] 叶有时, 赵保军, 唐林波, 等. 多目标实时跟踪可编程片上系统的软件优化[J]. 光学精密工程, 2011, 19(3): 681-689.
Ye Y S, Zhao B J, Tang L B, *et al.* Software optimization of multi-target real-time tracking SOPC system[J]. *Optics and Precision Engineering*, 2011, 19(3): 681-689. (in Chinese)

[3] 王本明, 赵前晟, 丁海锋, 等. 基于 CPCI 总线的通用 FPGA 信号处理板的设计[J]. 电子科技, 2009, 22(10): 25-28.
Wang B M, Zhao Q S, Ding H F, *et al.* Design of general FPGA signal processing board based on CPCI bus[J]. *Electronic Science and Technology*, 2009, 22(10): 25-28. (in Chinese)

[4] 苏宛新, 程灵燕, 程飞燕. 基于 DSP + FPGA 的实时视频信处理系统设计[J]. 液晶与显示, 2010, 25(1): 145-148.

- Su W X, Cheng L Y, Cheng F Y. Design of real-time video signal processing system based on DSP + FPGA[J]. *Chinese Journal of Liquid Crystals and Display*, 2010, 25(1): 1145-148. (in Chinese)
- [5] 张向阳,程勇策,曲思潼. 基于DSP+FPGA的Camera Link接口相机的图像处理平台设计[J]. 电视技术, 2013, 37(15): 215-219.
- Zhang X Y, Cheng Y C, Qu S T. Camera with camera link interface image process platform based on DSP and FPGA[J]. *Video Engineering*, 2013, 37(15). (in Chinese)
- [6] 王静轩,尹传历. 基于DSP和FPGA的嵌入式实时图像增强系统[J]. 液晶与显示, 2013, 28(3): 459-463.
- Wang J X, Yin C L. Embedded color image enhancement system based on DSP and FPGA[J]. *Chinese Journal of Liquid Crystals and Display*, 2013, 28(3): 459-463. (in Chinese)
- [7] 朱明,鲁剑锋. 基于DSP+FPGA结构图像处理系统设计与实现[J]. 计算机测量与控制, 2004, 12(9): 866-869.
- Zhu M, Lu J F. Design and implementation of digital image processing system based on DSP + FPGA architecture [J]. *Computer Measurement and Control*, 2004, 12(9): 866-869. (in Chinese)
- [8] 高杨,刘荣科,胡伟. 基于FPGA+DSP的高清视频图像系统设计与实现[J]. 电子测量技术, 2011, 34(1): 69-73.
- Gao Y, Liu R K, Hu W. Design and implementation of high definition video image system based on FPGA + DSP [J]. *Electronic Measurement and Technology*, 2011, 34(1): 69-73. (in Chinese)
- [9] 李易难,牛燕雄,杨露. 基于DSP + FPGA视频图像采集处理系统的设计[J]. 电子测量技术, 2014, 37(1): 58-61.
- Li Y N, Niu Y X, Yang L. Design of video image sampling and processing system based on DSP and FPGA[J]. *Electronic Measurement and Technology*, 2014, 37(1): 58-61. (in Chinese)
- [10] PICMG. PICMG 2.0 compact PCI specification[R]. PCI Industrial Computers Manufactures Group, 1999.
- [11] Texas Instruments. TMS320C6x optimizing C compiler user guide [R]. Texas Instruments Incorporated, 1999.
- [12] Xilinx Incorporated. Virtex-5 family overview[R]. Xilinx Incorporated, 2009.
- [13] Micron Technology. Datasheet of MT8HTF3264HY-667[R]. Micron Technology, 2004.
- [14] AIA. Specifications of the camera link interface standard for digital cameras and frame grabbers[R]. 2004.
- [15] Analog Devices. Datasheet of ADV7188[R]. Analog Devices, 2007.
- [16] Xilinx. Interfacing micron DDR2 memory modules to Xilinx Virtex5 FPGAs : A step-by-step guide[R]. Xilinx, 2008.
- [17] Analog Devices. Datasheet of ADV7175A/7176A[R]. Analog Devices, 2000.
- [18] PLX Technology. PCI 9656BA data book[R]. PLX Technology, 2003.

作者简介:于洪松(1987—),男,吉林松原人,硕士,主要从事数字图像处理硬件方面的研究。E-mail:gogler@gmail.com